

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06244858 A

(43) Date of publication of application: 02.09.94

(51) Int. Cl

H04L 12/48

(21) Application number: 05024140

(22) Date of filing: 12.02.93

(71) Applicant: FUJITSU LTD

(72) Inventor:
KATO MASABUMI
SOMIYA TOSHIO
KATO TSUGIO
EZAKI YUTAKA
TAKECHI RYUICHI

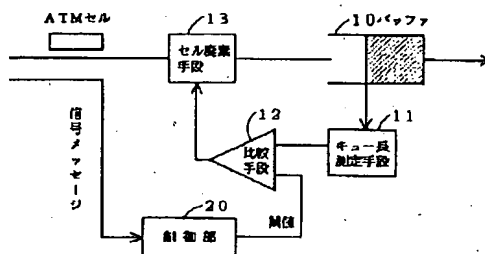
(54) BUFFER THRESHOLD CONTROL SYSTEM FOR ATM NETWORK

(57) Abstract:

PURPOSE: To provide an ATM network buffer threshold control system capable of reducing the discard of high quality ATM cells as less as possible.

CONSTITUTION: This system is composed of a buffer 10 storing arrived ATM cells, a queue length measuring means 11 measuring the queue length of the buffer 10, a comparison means 12 comparing the output of the queue measuring means 11 and a threshold which is separately inputted, a cell discard means 13 controlling the discard of the ATM cells arriving in the buffer 10 according to the comparison result of the comparison means 12 and a control part 20 imparting an optimum threshold to the comparison means 12 every time a cell is received based on the information imparted from a signal message.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-244858

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl.⁵

H04L 12/48

識別記号

庁内整理番号

FI

技術表示箇所

8732-5K

H04L 11/20

Z

審査請求 未請求 請求項の数5 OL (全6頁)

(21)出願番号 特願平5-24140

(22)出願日 平成5年(1993)2月12日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 加藤 正文

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 宗宮 利夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 加藤 次雄

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井島 藤治 (外1名)

最終頁に続く

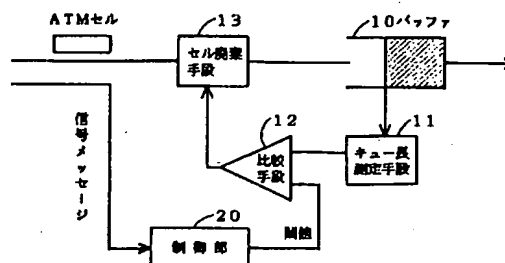
(54)【発明の名称】 ATM網のバッファ閾値制御システム

(57)【要約】

【目的】 本発明はATM網のバッファ閾値制御システムに関し、高品質ATMセルの廃棄をなるべく少なくすることができるATM網のバッファ閾値制御システムを提供することを目的としている。

【構成】 到着したATMセルを蓄積するバッファ10と、該バッファ10のキュー長を測定するキュー長測定手段11と、該キュー長測定手段11の出力と別途入力される閾値とを比較する比較手段12と、該比較手段12の比較結果に応じてバッファ10に到着するATMセルの廃棄制御を行うセル廃棄手段13と、信号メッセージから与えられる情報を基に、1つの呼を受け取る毎に最適な閾値を前記比較手段12に与える制御部20とにより構成される。

本発明の原理ブロック図



【特許請求の範囲】

【請求項1】 到着したATMセルを蓄積するバッファ（10）と、

該バッファ（10）のキュー長を測定するキュー長測定手段（11）と、

該キュー長測定手段（11）の出力と別途入力される閾値とを比較する比較手段（12）と、

該比較手段（12）の比較結果に応じてバッファ（10）に到着するATMセルの廃棄制御を行うセル廃棄手段（13）と、

信号メッセージから与えられる情報を基に、1つの呼を受付ける毎に最適な閾値を前記比較手段（12）に与える制御部（20）とにより構成されたATM網のバッファ閾値制御システム。

【請求項2】 前記制御部（20）から与えられるキュー長の閾値により、高品質クラスのATMセルが到着した時には、バッファ（10）に空きがある限り、そのセルを蓄積するが、低品質クラスのATMセルが到着した時には、キュー長が閾値を越えているならば、セル廃棄手段（13）によりそのATMセルを廃棄し、更に、呼受け制御時に申告されたパラメータを基に、低品質クラスのセルの割合が多くなるにつれて、前記制御部（20）は閾値を小さくするようにしたことを特徴とする請求項1記載のATM網のバッファ閾値制御システム。

【請求項3】 前記制御部（20）は、信号メッセージのCLPビットを検出して、その値が“1”の数と“0”の数の合計を求め、その合計に応じた閾値が格納されている閾値テーブル（23a）から基準閾値を読み出し、比較手段（12）に閾値として与えるようにしたことを特徴とする請求項2記載のATM網のバッファ閾値制御システム。

【請求項4】 到着したATMセルを蓄積するバッファ（10）と、

該バッファ（10）のキュー長を測定するキュー長測定手段（11）と、

該キュー長測定手段（11）の出力と別途入力される閾値とを比較する比較手段（12）と、

該比較手段（12）の比較結果に応じてバッファ（10）に到着するATMセルの廃棄制御を行うセル廃棄手段（13）と、

到着セルのCLPビットを検出するCLP検出手段（30）と、

該CLP検出手段（30）の出力を受けて、一定期間毎に到着するセル数をクラス毎に観測し、その結果に応じてキュー長閾値をダイナミックに変更する品質別到着頻度測定手段（31）とにより構成されたATM網のバッファ閾値制御システム。

【請求項5】 前記品質別到着頻度測定手段（31）は、高品質クラスのATMが到着した時には、バッファ（10）に空きがある限りそのATMセルを蓄積する

が、低品質クラスのATMセルが到着した時にはキュー長が閾値を越えているならそのATMセルをセル廃棄手段（13）により廃棄し、

一定期間に到着するセル数を品質クラス毎の観測結果を基に、クラス毎のセル到着率を把握し、

低品質クラスのATMセルの到着率の割合が多くなるにつれて、その閾値を小さくし、高品質クラスのATMセルの到着率の割合が多くなるにつれて、その閾値を大きくするようにして、使用状況に応じてキュー長閾値をダイナミックに変化させるようにしたことを特徴とする請求項4記載のATM網のバッファ閾値制御システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はATM網のバッファ閾値制御システムに関する。近年、ATM網を用いた交換システムが各メーカーで開発が精力的に行われるようになってきた。しかしながら、ATM網は非同期の交換システムで、しかもあらゆる種類のデータを同時に処理できる。そこで、音声等のような比較的低品質のセルと、データ乃至は動画のような高品質のセルとを全く同等に扱うことはできないことから、セルの廃棄にもそれ相当の制御が必要となってくる。

【0002】

【従来の技術】 図4は2×2のATMスイッチの概念図である。図において、1、2はそれぞれATMセルを受け取るセレクトラ、3、4は各セレクトラ1、2の出力を受け取るFIFO（First In First Out）バッファ（以下単にバッファという）である。セレクトラ1、2はATMセルのVCIビットを参照して、それぞれの方路に振り分ける。このようにして、各セレクトラ1、2の出力はバッファ3、4に蓄積され、一定の手順に従って、順次FIFO形式でデータ線に出力される。実際のATM交換機は、図に示すようなATMスイッチユニットがマトリクス上に複数配置されて構成される。

【0003】 この種のATMスイッチでは、バッファ3、4が待たされている時に、ATMセルがどんどん到着すると、そのうちあふれてしまう。そこで、図5に示すように、バッファに閾値THを設けておき、バッファに蓄積されているATMセルの数（キュー長）がこの閾値THを越えたら、廃棄するようになっている。

【0004】

【発明が解決しようとする課題】 前述した従来のATMスイッチにおいて、バッファに到着するATMセルは音声信号のようにある程度セルが廃棄されてもよいもの（低品質）から、動画やデータのように、セルが廃棄されると困るもの（高品質）とが混合されて入ってくる。従って、高品質のATMセルが到着する時に、閾値THを小さくしておく、セルが廃棄されるおそれがある。このため、閾値THを大きくしておく、低品質データ

10

20

30

40

50

が多量に入ってきた時、そのままバッファに蓄積され、その後には到着する高品質セルが廃棄されるという問題が生じる。

【0005】本発明はこのような課題に鑑みてなされたものであって、高品質ATMセルの廃棄をなるべく少なくすることができるATM網のバッファ閾値制御システムを提供することを目的としている。

【0006】

【課題を解決するための手段】図1は本発明の原理ブロック図である。図において、10は到着したATMセルを蓄積するバッファ、11は該バッファ10のキュー長(ATMセル数)を測定するキュー長測定手段、12は該キュー長測定手段11の出力と別途入力される閾値とを比較する比較手段、13は該比較手段12の比較結果に応じてバッファ10に到着するATMセルの廃棄制御を行うセル廃棄手段、20は信号メッセージから与えられる情報を基に、1つの呼を受付ける毎に最適なキュー長閾値を前記比較手段12に与える制御部である。

【0007】

【作用】前記制御部20から与えられるキュー長の閾値により、高品質クラスのATMセルが到着した時には、バッファ10に空きがある限り、そのセルを蓄積するが、低品質クラスのATMセルが到着した時には、キュー長が閾値を越えているならば、セル廃棄手段13によりそのATMセルを廃棄する。更に、呼受付制御時に申告されたパラメータを基に、低品質クラスのセルの割合が多くなるにつれて、前記制御部20は閾値を小さくするように閾値を設定する。このような処理を行うことにより、高品質ATMセルの廃棄をなるべく少なくすることができる。

【0008】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。図2は本発明の一実施例を示す構成ブロック図である。図1と同一のものは、同一の符号を付して示す。図において、制御部20は、信号メッセージを受けてCLP(セルロス・プライオリティ・ビット)を検出するCLP検出部21と、該CLP検出部21の出力を受けて閾値制御を行うCPU22と、該CPU22と接続されるメモリ23から構成されている。23aはメモリ23内に設けられた閾値テーブルである。その他の構成は、図1と同じである。このように構成されたシステムの動作を説明すれば、以下のとおりである。

【0009】入力ラインからはATMセルと信号メッセージが入力される。CLP検出部21は、信号メッセージを受けてCLPビットを検出し、“1”であるか“0”であるかをセル毎に検出する。例えばCLPビットが“1”の場合には、廃棄されてもよいセル、“0”の場合には廃棄されたら困るセルであるというように、予め決められている。

【0010】CLP検出部21はATMセル毎にCLP

ビットの値を検出してCPU22に通知する。CPU22は、1つの呼毎にCLPビットの“1”の数と“0”の数を合計する。そして、“1”の数と“0”の数の割合に応じて、閾値テーブル23aを参照する。該閾値テーブル23aには、CLPビットの“1”の数と“0”の数の割合に応じた閾値が書き込まれている。

【0011】CPU22は閾値テーブル23aから対応する閾値を読出してキュー長閾値として比較手段12の入力に与える。このような構成をとることにより、呼毎に最適な閾値が求まる。従って、本発明によれば低品質クラスのATMセルが多く到着する場合には、閾値を小さくするようにし、高品質クラスのATMセルが多く到着する場合には、閾値を大きくするようにする。従って、高品質ATMセルの廃棄をなるべく少なくすることができる。

【0012】なお、制御部20は最初の閾値として呼受付制御時に申告された値を最初の閾値として比較手段12に与える。この閾値の初期値としては、例えばバッファ10のセル長の1/2程度の値に設定される。そして、低品質クラスのATMセルの割合が多くなるにつれて、閾値は徐々に小さくされ、低品質クラスのATMセルを廃棄するようにする。

【0013】図3は本発明の他の実施例を示す構成ブロック図である。図1と同一のものは、同一の符号を付して示す。図において、30は到着セルのCLPビットを検出するCLP検出手段、31は該CLP検出手段30の出力を受けて、一定期間毎に到着するセル数をクラス毎に観測し、その結果に応じてキュー長閾値をダイナミックに変更する品質別到着頻度測定手段である。32は閾値を保持する閾値レジスタで、その出力は比較手段12の一方の入力に入っている。33は信号メッセージを受けて、最初のキュー長閾値を初期値として閾値レジスタ32に設定するCPUである。その他の構成は、図1と同じである。このように、構成されたシステムの動作を説明すれば、以下のとおりである。

【0014】最初の呼受付時に、CPU33は信号メッセージから与えられるキュー長閾値の初期値を閾値レジスタ32に保持する。初期値としては、例えばキュー長の1/2程度が用いられる。品質別到着頻度測定手段31は、高品質クラスのATMが到着した時には、バッファ10に空きがある限りそのATMセルを蓄積するが、低品質クラスのATMセルが到着した時にはキュー長が閾値を越えているならそのATMセルをセル廃棄手段13により廃棄する。また、一定期間に到着するセル数を品質クラス毎の観測結果を基に、クラス毎のセル到着率を把握し、低品質クラスのATMセルの到着率の割合が多くなるにつれて、その閾値を小さくし、高品質クラスのATMセルの到着率の割合が多くなるにつれて、その閾値を大きくするようにして、使用状況に応じてキュー長閾値をダイナミックに変化させる。

【0015】例えば、今キュー長の閾値が最初50であったものとする。その後の呼受付時に、品質別到着頻度測定手段31は、一定期間毎にCLP検出手段30からのCLP信号を受信して、ビット“1”のCLPが多くなった時には、前記閾値50を1だけ減じて49にする。逆に、ビット“0”のCLPが多くなった時には、閾値50に1を加算して51にする。このように、一定期間毎にキュー閾値を1だけ減じ、または1だけ加算する操作をダイナミックに行なうようにする。このような動作により、キュー長閾値がダイナミックに変化する結果、その時の呼の状態に応じた最適なキュー長閾値を設定することができ、高品質クラスのATMセルの廃棄を減らすことができる。

【0016】

【発明の効果】以上、詳細に説明したように、本発明によれば高品質ATMセルの廃棄をなるべく少なくするこ

とができるATM網のバッファ閾値制御システムを提供することができ、実用上の効果が大きい。

【図面の簡単な説明】

【図1】本発明の原理ブロック図である。

【図2】本発明の一実施例を示す構成ブロック図である。

【図3】本発明の他の実施例を示す構成ブロック図である。

【図4】2×2のATMセルスイッチの概念図である。

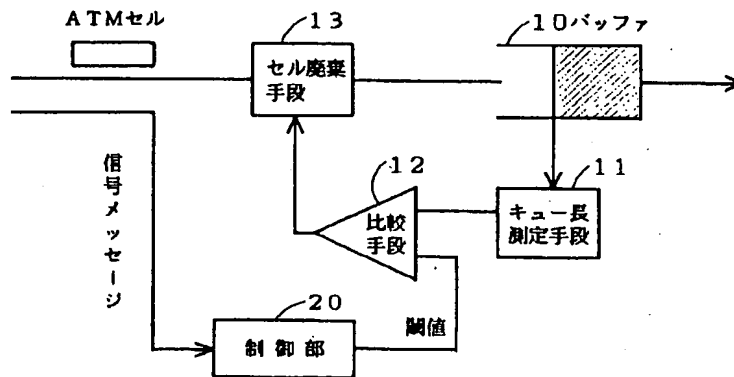
【図5】FIFOバッファの動作概念図である。

【符号の説明】

- 10 バッファ
- 11 キュー長測定手段
- 12 比較手段
- 13 セル廃棄手段
- 20 制御部

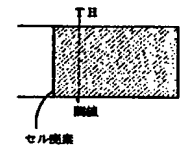
【図1】

本発明の原理ブロック図



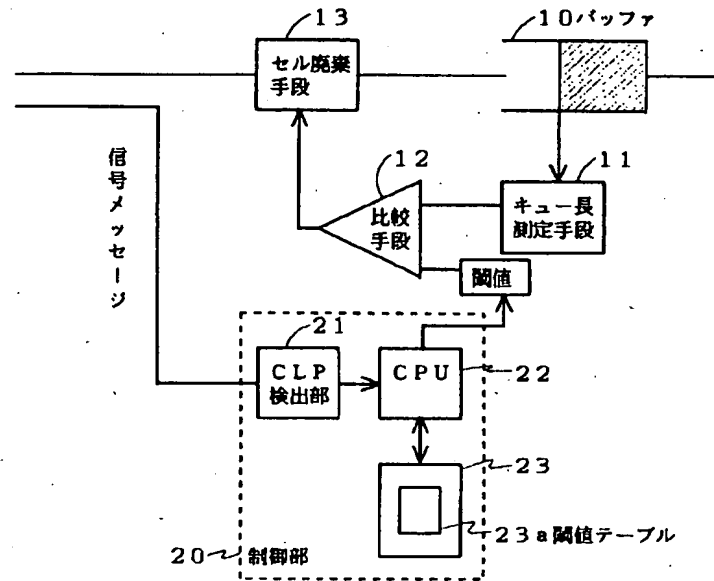
【図5】

FIFOバッファの動作概念図



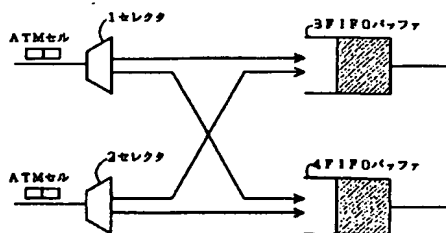
【図2】

本発明の一実施例を示す構成ブロック図



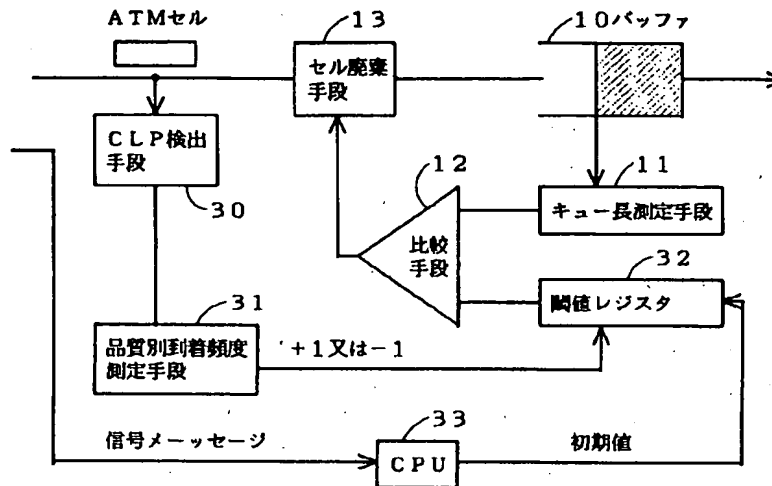
【図4】

2×2のATMセルスイッチの構成図



【図3】

本発明の他の実施例を示す構成ブロック図



フロントページの続き

(72)発明者 江崎 裕
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内

(72)発明者 武智 竜一
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内